



Semiconductor memory module testing method involves transmitting additional information along with addresses of defect locations in memory bank, to external test device

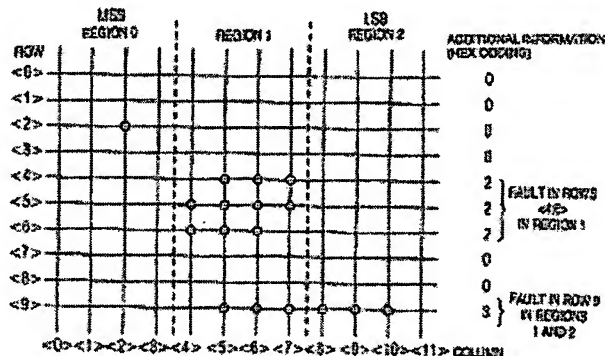
Patent number: DE10119144
Publication date: 2002-10-10
Inventor: SCHAMBERGER FLORIAN (DE); KAISER ROBERT (DE)
Applicant: INFINEON TECHNOLOGIES AG (DE)
Classification:
 - international: G11C29/00
 - european: G11C29/00B2B6C
Application number: DE20011019144 20010419
Priority number(s): DE20011019144 20010419

Also published as:

 US 2002157049 (A1)
 J P2003036698 (A)

Abstract of DE10119144

The data is stored in a memory bank having an addressable matrix structure. The elements selected from a group consisting of rows and columns, are subdivided into regions. The defect locations in each region are counted and compared with a threshold value. The comparison results are transmitted as an additional information along with the addresses of defect locations in the memory bank, to an external test device.



Data supplied from the **esp@cenet** database - Worldwide



①⑨ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

①⑫ Patentschrift
①⑩ DE 101 19 144 C 1

⑤① Int. Cl. 7:
G 11 C 29/00

②① Aktenzeichen: 101 19 144.8-53
②② Anmeldetag: 19. 4. 2001
④③ Offenlegungstag: -
④⑤ Veröffentlichungstag
der Patenterteilung: 10. 10. 2002

DE 101 19 144 C 1

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

⑦③ Patentinhaber:
Infineon Technologies AG, 81669 München, DE

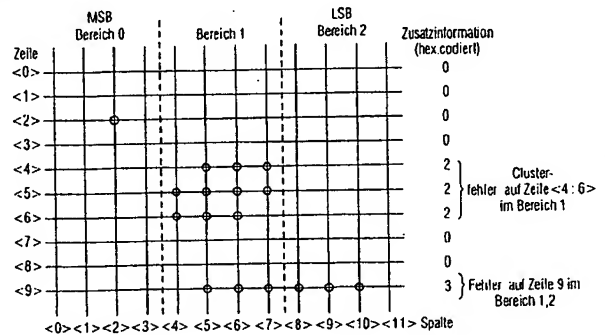
⑦④ Vertreter:
Wilhelm & Beck, 80636 München

⑦⑦ Erfinder:
Kaiser, Robert, 86916 Kaufering, DE; Schamberger,
Florian, 83435 Bad Reichenhall, DE

⑤⑤ Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
US 61 45 092
US 59 09 448

⑤④ Verfahren zum Testen von Halbleiter-Speicherbausteinen

⑤⑦ Die Erfindung betrifft ein Verfahren zum Testen von Halbleiter-Speicherbausteinen, in welchen Daten in Bänken mit adressierbarer, Zeilen und Spalten enthaltenden Matrixstruktur gespeichert werden, bei dem Fehleradressen von Fehlerstellen in den Bänken in komprimierter Form zu einer externen Testvorrichtung übertragen werden. Erfindungsgemäß ist vorgesehen, dass die Zeilen bzw. die Spalten in Bereiche unterteilt werden, dass die im jeweiligen Bereich auftretenden Fehler zeilen- bzw. spaltenweise gezählt werden, dass die Fehleranzahl in jedem Bereich zeilen- bzw. spaltenweise mit einem Schwellenwert verglichen wird, und dass die Vergleichsergebnisse als Zusatzinformation zeilen- bzw. spaltenweise zusammen mit den Fehleradressen an die Testvorrichtung übertragen werden.



DE 101 19 144 C 1

[0001] Die Erfindung betrifft ein Verfahren zum Testen von Halbleiter-Speicherbausteinen, in welchen Daten in Bänken mit adressierbarer, Zeilen und Spalten enthaltenden Matrixstruktur gespeichert werden, bei dem Fehleradressen von Fehlerstellen in den Bänken in komprimierter Form zu einer externen Testvorrichtung übertragen werden.

[0002] Aufgrund ihres Herstellungsprozesses ist bislang nicht zu vermeiden, dass Halbleiterspeicherbausteine in ihren Speicherbereichen Fehlerstellen aufweisen. Diese Fehlerstellen sind in Fehleradressen matrixartig in Zeilen und Spalten organisierten Speicher-Bänke lokalisiert. Vor Freigabe eines Speicherbausteins erfolgt nach dessen Herstellung ein Test, ein sog. Selbsttest. Dieser Selbsttest sieht eine externe Testvorrichtung vor, die über eine Datenübertragungsleitung mit einem Speicherbaustein verbunden ist und die im Laufe des Selbsttests mit den aufgefundenen Fehleradressen beaufschlagt wird. Um den Aufwand beim Testen apparativ so gering wie möglich zu halten, besteht die Bestrebung, zum Testen möglichst wenig Testkanäle zu verwenden, d. h. eine möglichst geringe Anzahl an Leitungsverbindungen zwischen dem zu testenden Speicherbaustein und der externen Testvorrichtung. Bei dem in Rede stehenden Selbsttest-Verfahren werden deshalb aufgefunden Fehleradressen in komprimierter Form zur Testvorrichtung übertragen. Problematisch ist hierbei, dass bei sehr starker Kompression so viel Information verloren geht, dass keine Rückschlüsse mehr auf die Art der Fehler, beispielsweise Cluster-Fehler, gezogen werden können. Mangels dieser Rückschlüsse gestaltet sich eine Reparatur von Fehleradressen problematisch. Im Rahmen dieser Reparatur ist vorgesehen, die Fehleradressen durch Ersatzadressen zu ersetzen. Dieser Problematik wurde bislang entgegengewirkt, indem eine weniger starke Kompression eingesetzt wurde, oder indem sämtliche Daten zur Testvorrichtung übertragen werden, in welchem sie zu einem Bitfehlerverzeichnis, einer sogenannten Bitfail-Map zusammengesetzt werden. Ein weiterer Ansatz zur Überwindung des genannten Problems besteht darin, dass beim Test einer Zeile oder einer Spalte die auftretenden fehlerhaften Adressen bis zu einer einstellbaren Anzahl angesammelt werden. Sobald diese Anzahl fehlerhafter Adressen überschritten ist, wird der Testvorrichtung ein Zwangsreparaturbefehl, ein sogenanntes Must-Repair mitgeteilt. Falls die Anzahl fehlerhafter Adressen nicht überschritten ist, werden dann die angesammelten Fehleradressen seriell zur Testvorrichtung übertragen. Die Übertragung zur Testvorrichtung erfolgt dabei, während bereits die nächste Zeile oder Spalte getestet wird.

[0003] Eine Aufgabe der Erfindung besteht darin, ein Verfahren zum Selbsttesten von Halbleiter-Speicherbausteinen der eingangs genannten Art zu schaffen, das unter Verwendung möglichst weniger Testkanäle zuverlässig arbeitet und die Bandbreite der Testkanäle gut nutzt.

[0004] Gelöst wird diese Aufgabe durch die Merkmale des Anspruchs 1. Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

[0005] Die bisherige Vorgehensweise hat den Nachteil, dass, wenn zum Testen nur wenige Testkanäle zur Verfügung stehen, im Falle eines Must-Repairs die Fehleradressen in hochkomprimierter Form zum Tester übertragen werden müssen, dass die Gefahr besteht, dass Information verloren geht und deshalb keine Rückschlüsse mehr auf die Art der Fehler gemacht werden kann.

[0006] Aus der US 6,145,092 ist ein Verfahren zum Testen von Halbleiter-Speicherbausteinen bekannt, bei dem Daten in Bänken einer Matrixstruktur, die adressierbare Zeilen und Spalten enthält, gespeichert werden kann, da bei einem auf-

tretenden Fehler zeilen- bzw. spaltenweise gezählt wird und wobei die Fehleranzahl zeilen- bzw. spaltenweise mit einem Schwellenwert verglichen wird und dann das Vergleichsergebnis an einen Tester übertragen wird. Aus der US 5,909,448 ist weiterhin ein Verfahren zum Testen von Halbleiter-Bausteinen bekannt, bei dem Fehleradressen von Fehlerstellen in Bänken in komprimierter Form zu einem externen Tester übertragen werden.

[0007] Demnach schafft die Erfindung mit anderen Worten ein Verfahren zum Selbsttesten von Halbleiter-Speicherbausteinen unter komprimierter Bereitstellung der Fehleradressen der Übertragung zur Testvorrichtung mit einem im Vergleich zum Stand der Technik relativ geringen Kompressionsgrad, der dadurch erzielt wird, dass die Zeilen bzw. die Spalten in Bereiche unterteilt werden, wobei die im jeweiligen Bereich auftretenden Fehler zeilen- bzw. spaltenweise gezählt werden, wobei die Fehleranzahl in jedem Bereich zeilen- bzw. spaltenweise mit einem Schwellenwert verglichen wird und wobei die Vergleichsergebnisse als Zusatzinformation zeilen- bzw. spaltenweise zusammen mit den Fehleradressen an die Testvorrichtung übertragen werden.

[0008] Ein Vorteil des erfindungsgemäßen Verfahrens besteht darin, dass für eine Fehleranalyse in der Testvorrichtung bislang nicht zur Verfügung stehende Daten in Gestalt von Zusatzinformation bereitstehen. Vorteilhaft ist ferner, dass zur Implementierung des erfindungsgemäßen Verfahrens ein relativ geringer Mehraufwand erforderlich ist. Dieser Mehraufwand erschöpft sich in zusätzlichen Latches für die Zusatzinformation sowie in einem Vergleichs- und einem Zähler.

[0009] Schließlich besteht noch ein Vorteil der Erfindung darin, dass bei seiner Ausführung ein geringer bis überhaupt kein Daten-Overhead auftritt, weil im Fall eines Must-Repairs die verfügbare Testkanalbandbreite nicht voll ausgenutzt wird. Die verbleibende Bandbreite wird für die erfindungsgemäße Zusatzinformation benutzt.

[0010] Gemäß einer vorteilhaften Weiterbildung der Erfindung wird die Zusatzinformation in Gestalt der Vergleichsergebnisse in Form eines Bytes übertragen. Dieses zusätzliche Byte kann gegebenenfalls auch nur bei einem Must-Repair übertragen werden, was den Vorteil erbringt, dass die maximale Bandbreite nicht überschritten wird.

[0011] Gemäß einer weiteren vorteilhaften Ausführungsform des erfindungsgemäßen Verfahrens ist vorgesehen, dass dann Zusatzinformation erzeugt wird, wenn die Vergleichsergebnisse größer sind als oder gleich dem Schwellenwert.

[0012] Gemäß einer vorteilhaften Weiterbildung der Erfindung ist vorgesehen, dass die Zusatzinformation abhängig davon qualifiziert wird, ob Fehlerstellen in einem oder in mehreren der Bereiche enthalten sind, in welchem die Zeilen bzw. Spalten unterteilt sind. Auch diese qualifizierte Zusatzinformation wird bevorzugt in Gestalt eines Bytes übertragen.

[0013] Die Anzahl der Bereich in welche die Zeilen bzw. Spalten erfindungsgemäß unterteilt sind, um Zusatzinformation in Gestalt der Vergleichsergebnisse zwischen dem Schwellenwert und der Fehleranzahl zu gewinnen, ist im Rahmen der Erfindung ebenso wenig begrenzt wie der Schwellenwert. Eine typische Anzahl für die Bereiche und den Schwellenwert beträgt beispielsweise 2, 4, 8, ... Es ist jedoch durchaus auch eine ungerade Anzahl von Bereichen einsetzbar, wie etwa drei Bereiche.

[0014] Nachfolgend wird die Erfindung anhand der Zeichnung beispielhaft näher erläutert; die einzige Figur der Zeichnung zeigt schematisch eine Daten-Bank eines Halbleiter-Speicherbausteins.

[0015] Wie in der Figur gezeigt ist eine nicht näher be-

zeichnete Speicherbank matrixartig in neun Zeilen und elf Spalten unterteilt. Die Schnittstellen der Zeilen und Spalten legen Adressen fest. Fehlerhafte Adressen bzw. Fehleradressen sind mit Kreisen dargestellt. Demnach liegt eine Fehleradresse vor in <2,2>, d. h. am Schnittpunkt der zweiten Zeile mit der zweiten Spalte. Weitere Fehleradressen liegen in der vierten, der fünften und der neunten Zeile vor. In der vierten Zeile liegen drei Fehleradressen nebeneinander vor: <4,5>, <4,6>, <4,7>. In der fünften Zeile liegen vier Fehleradressen vor: <5,4>, <5,5>, <5,6>, <5,7>. Schließlich liegen in der neunten Zeile sechs Fehleradressen vor: <9,5>, <9,6>, <9,7>, <9,8>, <9,9>, <9,10>.

[0016] Ferner ist in der Figur mit MSB das Most Significant Bit bzw. das signifikanteste Bit und mit LSB ist das Least Significant Bit bzw. das am wenigsten signifikante Bit bezeichnet.

[0017] Erfindungsgemäß sind die Zeilen in Bereiche unterteilt. Im vorliegenden Fall in drei Bereiche, einen Bereich 0, einen Bereich 1 und einen Bereich 2. Der Bereich 0 umfasst die Spalten <0> bis <3>. Der Bereich 1 umfasst die Spalten <4> bis <7> und der Bereich 2 umfasst die Spalten <8> bis <11>.

[0018] Erfindungsgemäß werden die Zeilen im jeweiligen Bereich 0, 1 und 0, 1, 2 mit einem Schwellenwert verglichen, der im vorliegenden Fall 3 beträgt und die Vergleichsergebnisse werden als Zusatzinformation, bevorzugt hexadezimal kodiert zeilenweise zusammen mit den jeweiligen Fehleradressen an eine nicht gezeigte Testvorrichtung übertragen, die den Selbsttest des Halbleiter-Speicherbausteins durchführt.

[0019] Der Verfahrensablauf ist wie folgt: In der Zeile <0> liegt keine Fehleradresse vor. Der Vergleich mit dem Schwellenwert 3 ergibt deshalb die Zusatzinformation 0. Dasselbe gilt für die Zeile <1>. Auch hier lautet die Zusatzinformation 0.

[0020] In der Zeile <2> liegt die vorstehend genannte Fehleradresse vor. Weitere Fehleradressen liegen in dieser Zeile nicht vor, weshalb ein Vergleich dieser Fehleradresse mit dem Schwellenwert 3 wieder die Zusatzinformation 0 ergibt.

[0021] In der Zeile <3> liegt kein Zeilenfehler vor, weshalb die Zusatzinformation wiederum 0 ergibt.

[0022] In den Zeilen <4> bis <6> liegen jeweils mehrere Fehleradressen vor. In der Zeile <4> liegen die vorstehend genannten drei Fehleradressen vor. Ein Vergleich mit dem Schwellenwert ergibt die hexadezimal kodierte Zusatzinformation 2. Dasselbe Ergebnis ergibt sich für die Zeile <5>, in welcher die vorstehend genannten vier Fehleradressen vorliegen, d. h., auch hier lautet das Vergleichsergebnis für die Zusatzinformation 2. In der Zeile <6> finden sich die vorstehend genannten drei Fehleradressen, was wiederum zu der Zusatzinformation 2 führt. Die Zusatzinformationen 2, 2, 2 in den Zeilen <4> bis <6> liegen jeweils im Bereich 1 und stellen insgesamt einen Cluster-Fehler dar. Hierbei handelt es sich um eine qualifizierte Zusatzinformation, die zusammen mit den Fehleradressen an die Testvorrichtung übertragen wird.

[0023] In der Zeile <9> liegen insgesamt die vorstehend genannten sechs Adressenfehler vor, die jeweils in Gruppen von drei in den Bereich 1 und 2 fallen. Ein bereichsweiser Vergleich mit dem Schwellenwert ergibt zusammen die hexadezimal kodierte Zusatzinformation 3.

[0024] Die Zusatzinformation in Gestalt der Bytes 0, 2 und 3, wie vorstehend angeführt, wird zusammen mit den gefundenen Fehleradressen zur Testvorrichtung übertragen. Dies ist insbesondere dann von Vorteil, wenn ein Must-Repair gemeldet wird, weil beim Auftreten eines Must-Repairs die verfügbare Testkanalbandbreite nicht vollständig be-

nutzt wird. Die verbleibende Bandbreite steht für die Zusatzinformation zur Verfügung.

[0025] Das vorstehend erläuterte Beispiel sieht eine Unterteilung der Zeilen in drei Bereiche vor. Alternativ hierzu können auch die Spalten in mehrere, beispielsweise drei Bereiche unterteilt sein und die byteweise Übertragung von Zusatzinformation erfolgt spaltenweise.

Patentansprüche

1. Verfahren zum Testen von Halbleiter-Speicherbausteinen, in welchen Daten in Bänken mit adressierbarer, Zeilen und Spalten enthaltenden Matrixstruktur gespeichert werden, bei dem Fehleradressen von Fehlerstellen in den Bänken in komprimierter Form zu einer externen Testvorrichtung übertragen werden, **dadurch gekennzeichnet**, dass die Zeilen bzw. die Spalten in Bereiche unterteilt werden, dass die im jeweiligen Bereich auftretenden Fehler zeilen- bzw. spaltenweise gezählt werden, dass die Fehleranzahl in jedem Bereich zeilen- bzw. spaltenweise mit einem Schwellenwert verglichen wird, und dass die Vergleichsergebnisse als Zusatzinformation zeilen- bzw. spaltenweise zusammen mit den Fehleradressen an die Testvorrichtung übertragen werden.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass der Schwellenwert größer als 1, bevorzugt 2 beträgt.
3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Zusatzinformation vorzugsweise in Gestalt eines Bytes übertragen wird.
4. Verfahren nach Anspruch 1, 2 oder 3, dadurch gekennzeichnet, dass Zusatzinformation erzeugt wird, wenn die Vergleichsergebnisse größer sind als oder gleich dem Schwellenwert sind.
5. Verfahren nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass die Zusatzinformation abhängig davon qualifiziert wird, ob Fehlerstellen in einem oder in mehreren Bereichen enthalten sind.
6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, dass die qualifizierte Zusatzinformation vorzugsweise in Gestalt eines Bytes übertragen wird.

Hierzu 1 Seite(n) Zeichnungen

